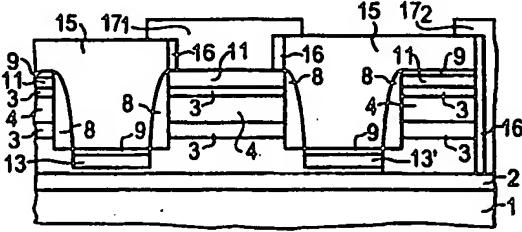
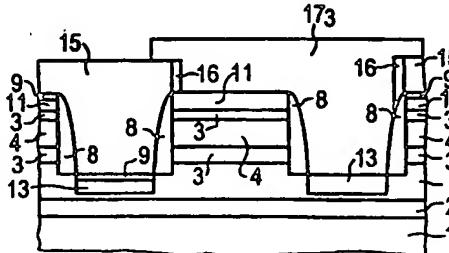
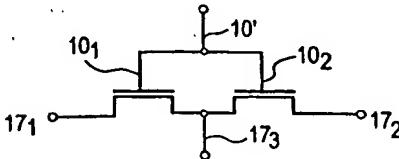


PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L	A2	(11) Internationale Veröffentlichungsnummer: WO 98/52211 (43) Internationales Veröffentlichungsdatum: 19. November 1998 (19.11.98)
(21) Internationales Aktenzeichen: PCT/DE98/01154 (22) Internationales Anmeldedatum: 24. April 1998 (24.04.98)		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(30) Prioritätsdaten: 197 20 463.5 15. Mai 1997 (15.05.97) DE		Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>
(71) Anmelder (<i>für alle Bestimmungsstaaten ausser US</i>): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).		
(72) Erfinder; und (75) Erfinder/Anmelder (<i>nur für US</i>): KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohen-thann (DE). HOFMANN, Franz [DE/DE]; Herbergstrasse 25 B, D-80995 München (DE). RISCH, Lothar [DE/DE]; Tizianstrasse 27, D-85579 Neubiberg (DE).		
(54) Title: INTEGRATED CMOS CIRCUIT CONFIGURATION, AND PRODUCTION OF SAME		
(54) Bezeichnung: INTEGRIERTE CMOS-SCHALTUNGSANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG		
(57) Abstract		
The present invention pertains to a CMOS circuit configuration comprising a first MOS transistor and a second MOS transistor complementary to the first one, one MOS transistor being placed at the bottom of a low and the other on the main surface of a semiconductor substrate. The MOS transistors are arranged relative to each other in such a way that a current flow passes through the MOS transistors in a direction substantially parallel to a sidewall of the low, said sidewall being located between the MOS transistors.		
(57) Zusammenfassung		
Eine integrierte CMOS-Schaltung weist einen ersten MOS-Transistor und einen zweiten dazu komplementären MOS-Transistor auf, wobei einer der MOS-Transistoren am Boden eines Grabens und der andere an der Hauptfläche eines Halbleitersubstrats angeordnet ist. Die MOS-Transistoren sind zueinander so angeordnet, daß ein Stromfluß durch die MOS-Transistoren jeweils im wesentlichen parallel zu einer Seitenwand des Grabens erfolgt, die zwischen den MOS-Transistoren angeordnet ist.		

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss i
PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Integrierte CMOS-Schaltungsanordnung und Verfahren zu deren Herstellung.

5

In CMOS-Schaltungen muß auch bei zunehmender Integrationsdichte sichergestellt werden, daß die n-Kanal-MOS-Transistoren und die p-Kanal-MOS-Transistoren von logischen Gattern gegeneinander isoliert sind. Insbesondere muß der

10 Latch-up-Effekt, das heißt ein Durchschalten eines parasitären Thyristors zwischen einer ersten und einer zweiten Versorgungsspannung verhindert werden. Dazu werden die n-Kanal- bzw. p-Kanal-MOS-Transistoren, die gegebenenfalls in entsprechend dotierten Wannen angeordnet sind, durch Isolationsgebiete umgeben. Als Maßnahme gegen Latch-up-Effekte können zusätzliche Wannen- oder Substratkontaktierungen zum Beispiel 15 in Form von Guard-Ringen vorgesehen werden.

20 Zur Erhöhung der Packungsdichte ist vorgeschlagen worden, in CMOS-Schaltungen die n-Kanal-MOS-Transistoren und p-Kanal-MOS-Transistoren jeweils in Gruppen zusammenzufassen (siehe zum Beispiel S. Saito et al., „A 1-Mbit CMOS DRAM with Fast Page Mode and Static Column Mode“, IEEE J. Sol.-State Circ., vol. SC-20, p. 903, 1985). Dadurch muß der notwendige Mindestabstand zwischen n-dotierter Wanne und n-dotierten Source/Drain-Gebieten nicht zwischen den einzelnen MOS-Transistoren sondern nur zwischen den entsprechenden Gruppen eingehalten werden. Dadurch verringert sich der Platzbedarf 25 pro Transistor.

30

Ferner ist vorgeschlagen worden (siehe zum Beispiel A. G. Lewis et al., „Polysilicon TFT Circuit and Performance“, IEEE J. Sol.-State Circ., vol. 27, p. 1833, 1992), CMOS-Schaltungen auf der Basis von Dünnschichttransistoren aufzubauen. Dabei werden die Substrate der n-Kanal-MOS-Transistoren 35 und der p-Kanal-MOS-Transistoren voneinander getrennt ausgeführt. Bei dieser Bauform muß zwischen den Source/Drain-

Gebieten der n-Kanal-MOS-Transistoren und der p-Kanal-MOS-Transistoren ein ausreichender Abstand für die Isolation der gesamten Anordnung eingehalten werden.

5 Schließlich ist vorgeschlagen worden (siehe IBM TDB, Vol. 27, Nr. 12, May 1985, Seiten 6968 bis 6970), zur Herstellung einer CMOS-Schaltung auf einem Siliziumsubstrat eine isolierende Schicht aufzubringen. An der Oberfläche der isolierenden Schicht wird eine Polysiliziumschicht aufgewachsen und durch
10 laterale Epitaxie lokal in eine monokristalline Schicht verwandelt. In dem Siliziumsubstrat werden die n-Kanal-MOS-Transistoren gebildet. In der aufgewachsenen Schicht werden p-Kanal-MOS-Transistoren gebildet. Die Transistoren werden jeweils durch sie umgebende Isolationsgebiete isoliert. In
15 der fertigen Anordnung sind die n-Kanal-MOS-Transistoren und die p-Kanal-MOS-Transistoren durch die isolierende Schicht und die Isolationsgebiete vollständig gegeneinander isoliert. Latch-up kann wegen der isolierenden Schicht prinzipiell nicht vorkommen. Der Flächenbedarf dieser CMOS-Schaltung ist
20 jedoch wegen der die Transistoren umgebenden Isolationsgebiete relativ groß.

Der Erfindung liegt das Problem zugrunde, eine integrierte CMOS-Schaltungsanordnung anzugeben, die mit erhöhter Packungsdichte herstellbar ist. Weiterhin soll ein Verfahren zu deren Herstellung angegeben werden.

Dieses Problem wird erfindungsgemäß gelöst durch eine integrierte CMOS-Schaltungsanordnung gemäß Anspruch 1 sowie ein
30 Verfahren zu deren Herstellung gemäß Anspruch 6. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der integrierten CMOS-Schaltungsanordnung ist in einer
35 Hauptfläche eines Halbleitersubstrats mindestens ein Graben vorgesehen. An der Hauptfläche ist ein erster MOS-Transistor und am Boden des Grabens ein zweiter MOS-Transistor angeord-

net. Der zweite MOS-Transistor ist zum ersten MOS-Transistor komplementär. Der erste MOS-Transistor und der zweite MOS-Transistor sind dabei so angeordnet, daß ein Stromfluß durch die MOS-Transistoren jeweils im wesentlichen parallel zu einer Seitenwand des Grabens erfolgt, die zwischen dem ersten MOS-Transistor und dem zweiten MOS-Transistor angeordnet ist. Die Isolation zwischen den Source/Drain-Gebieten des ersten MOS-Transistors und des zweiten MOS-Transistors wird in dieser Schaltungsanordnung durch die Seitenwand des Grabens gewährleistet. Für die Isolation zwischen dem ersten MOS-Transistor und dem zweiten MOS-Transistor ist daher kein lateraler Platzbedarf parallel zur Hauptfläche erforderlich. In der Projektion auf die Hauptfläche können der erste MOS-Transistor und der zweite MOS-Transistor aneinander angrenzen. Auf diese Weise wird auch in CMOS-Schaltungsanordnungen eine erhöhte Packungsdichte erreicht.

Zur Verbesserung der Latch-up-Festigkeit ist es vorteilhaft, in dem Halbleitersubstrat unterhalb des ersten MOS-Transistors und oberhalb des zweiten MOS-Transistors eine isolierende Schicht vorzusehen. Das bedeutet, daß der Abstand der isolierenden Schicht von der Hauptfläche geringer ist als die Tiefe des Grabens. Die isolierende Schicht wird somit durch den Graben unterbrochen. Die isolierende Schicht kann durch eine hochdotierte Schicht realisiert werden, die vom entgegengesetzten Leitfähigkeitstyp dotiert ist wie die Source/Drain-Gebiete des ersten MOS-Transistors. Alternativ kann die isolierende Schicht aus dielektrischem Material, zum Beispiel aus SiO_2 oder Si_3N_4 vorgesehen werden.

Vorzugsweise wird eine Leitung vorgesehen, die quer zu dem Graben verläuft. Diese Leitung enthält eine erste Gateelektrode für den ersten MOS-Transistor und eine zweite Gateelektrode für den zweiten MOS-Transistor. Auf diese Weise ist eine elektrische Verbindung zwischen der ersten Gateelektrode und der zweiten Gateelektrode gebildet, ohne daß die Herstellung einer zusätzlichen justierten Verbindung zwischen der

ersten Gatelektrode und der zweiten Gatelektrode erforderlich wäre.

Zur Kontaktierung der Source/Drain-Gebiete des zweiten MOS-
5 Transistors, der am Boden des Grabens angeordnet ist, ist es vorteilhaft, in dem Halbleitersubstrat unterhalb des zweiten MOS-Transistors eine dotierte, vergrabene Schicht vorzusehen. Ein vertikaler Teilbereich des zu kontaktierenden Sour-
ce/Drain-Gebietes des zweiten MOS-Transistors reicht dann bis
10 zu der vergrabenen Schicht. Dieser vertikale Teilbereich kann durch Ionenimplantation hergestellt werden. Die vergrabene Schicht wird über einen oder mehrere Kontakte an die jeweils benötigten Potentiale angeschlossen. Dadurch sind die ent-
sprechenden Source/Drain-Gebiete dann an die jeweiligen Po-
15 tentiale anschließbar.

Zur Herstellung der CMOS-Schaltungsanordnung wird vorzugswei-
se in dem Halbleitersubstrat ein von einem ersten Leitfähig-
keitstyp dotiertes Gebiet gebildet, das an eine Hauptfläche
20 angrenzt. Es wird ein Graben gebildet, dessen Tiefe größer als die Tiefe des vom ersten Leitfähigkeitstyp dotierten Ge-
bietes ist. Es wird ein Gatedielektrikum gebildet, das minde-
stens den Boden des Grabens und die Hauptfläche bedeckt. Es wird eine leitfähige Schicht abgeschieden, die den Graben
25 auffüllt. Unter Verwendung einer Maske, die eine erste Ga-
teelektrode für den ersten MOS-Transistor und eine zweite Ga-
teelektrode für den zweiten MOS-Transistor definiert, wird in einem ersten Ätzschritt die leitfähige Schicht im Bereich der Hauptfläche durchgeätzt. Der Boden des Grabens bleibt dabei
30 von der leitfähigen Schicht bedeckt. Dabei wird die erste Ga-
telektrode für den ersten MOS-Transistor gebildet. Anschlie-
ßend werden Source/Drain-Gebiete für den ersten MOS-
Transistor gebildet. Der Boden des Grabens ist dabei von der leitfähigen Schicht bedeckt, die als Maske wirkt. Anschlie-
35 ßend wird in einem zweiten Ätzschritt die leitfähige Schicht auch am Boden des Grabens durchgeätzt. Dabei wird die zweite Gatelektrode gebildet. Zur Bildung von Source/Drain-Gebieten

für den zweiten MOS-Transistor wird am freigelegten Boden des Grabens eine Diffusionsquelle erzeugt. Die Source/Drain-Gebiete des zweiten MOS-Transistors werden durch Ausdiffusion gebildet.

5

Die Diffusionsquelle wird vorzugsweise durch Aufbringen und Verfließen einer dotierten Silikatglasschicht gebildet. In diesem Fall entsteht die Diffusionsquelle selbstjustiert nur am Boden des Grabens.

10

Vorzugsweise wird aus der leitfähigen Schicht eine Leitung gebildet, die quer über den ersten MOS-Transistor und den zweiten MOS-Transistor verläuft und die die erste Gateelektrode und die zweite Gateelektrode enthält. Dadurch sind die 15 erste Gateelektrode und die zweite Gateelektrode selbstjustierend elektrisch miteinander verbunden. Die Verbindung zwischen der ersten Gateelektrode und der zweiten Gateelektrode ist für logische Gatter erforderlich.

20

Zur Bildung eines logischen Gatters ist es vorteilhaft, den ersten MOS-Transistor und den zweiten MOS-Transistor so anzurorden, daß die Source/Drain-Gebiete des ersten MOS-Transistor und des zweiten MOS-Transistors, die im Gatter elektrisch miteinander verbunden sein müssen, in der Projektion auf die Hauptfläche einander benachbart angeordnet sind. Zur Verbindung dieser Source/Drain-Gebiete wird dann ein Kontaktloch geöffnet, das die beiden zu verbindenden Source/Drain-Gebiete überlappt. Die Source/Drain-Gebiete werden über einen Kontakt, der das Kontaktloch auffüllt, miteinander verbunden.

25

Zur Verbesserung der Latch-up-Festigkeit liegt es im Rahmen der Erfindung, als Halbleitersubstrat ein SOI-Substrat zu verwenden, das eine Siliziumscheibe, eine darauf angeordnete isolierende Schicht und eine darauf angeordnete monokristalline Siliziumschicht aufweist. Der Graben wird in diesem Fall in einer solchen Tiefe gebildet, daß er durch die mono-

30

kristalline Siliziumschicht und die isolierende Schicht bis in die Siliziumscheibe hineinreicht. Die isolierende Schicht verhindert in dieser Anordnung einen Latch-up zwischen dem ersten MOS-Transistor und dem zweiten MOS-Transistor.

5

Es liegt im Rahmen der Erfindung, mehr als einen Graben vorzusehen. Ferner kann der Querschnitt des oder der Gräben streifenförmig gewählt werden, so daß am Boden des Grabens und auf der Hauptfläche zwischen benachbarten Gräben jeweils 10 mehrere MOS-Transistoren angeordnet sind. Die Konfiguration der CMOS-Schaltung erfolgt in diesem Fall sowohl über die Anordnung der MOS-Transistoren als auch über die Strukturierung der leitfähigen Schicht zur Bildung der Gateelektroden. Es liegt im Rahmen der Erfindung, MOS-Transistoren, die am Boden 15 des Grabens oder an der Hauptfläche benachbart sind und die in Reihe verschaltet werden sollen, mit einem gemeinsamen Source/Drain-Gebiet zu versehen, über das sie in Reihe verschaltet sind. In der CMOS-Schaltungsanordnung können sowohl verschiedene Gatterkonfigurationen als auch Transfergate- 20 schaltungen oder Logikschaltungen realisiert werden.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert.

25

Figur 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit einer vergrabenen dotierten Schicht, einer p-dotierten Wanne, einer Channel-Stop-Schicht und einer Grabenmaske.

30

Figur 2 zeigt den Schnitt durch das Halbleitersubstrat nach einer Grabenätzung und nach Bildung von isolierenden Spacern an Seitenwänden der Gräben.

35

Figur 3 zeigt einen Schnitt durch das Halbleitersubstrat nach Entfernen der Grabenmaske, nach Bildung eines Gate-

7

dielektrikums und nach Abscheidung einer leitfähigen Schicht.

Figur 4 zeigt eine Aufsicht auf das Halbleitersubstrat nach
5 einem ersten Ätzbildschritt zur Strukturierung der leit-
fähigen Schicht, bei der der Boden der Gräben von der
leitfähigen Schicht bedeckt bleibt.

Figur 5 zeigt den in Figur 4 mit V-V bezeichneten Schnitt
10 durch das Halbleitersubstrat.

Figur 6 zeigt den Schnitt durch das Halbleitersubstrat nach
15 einem zweiten Ätzbildschritt zur Strukturierung der leit-
fähigen Schicht, bei dem der Boden der Gräben freige-
legt wird und nach Bildung einer Diffusionsquelle auf
dem Boden der Gräben und Bildung von Source/Drain-
Gebieten am Boden der Gräben.

Figur 7 zeigt den Schnitt durch das Halbleitersubstrat nach
20 Entfernung der Diffusionsquelle, nach Bildung einer
Maske, die ein Source/Drain-Gebiet am Boden der Grä-
ben unbedeckt lässt, das durch Implantation mit der
vergraben dotierten Schicht verbunden wird.

25 Figur 8 zeigt den Schnitt durch das Halbleitersubstrat nach
Bildung einer Passivierungsschicht, Öffnung von Kon-
taktlöchern zu einem Source/Drain-Gebiet an der
Hauptfläche des Halbleitersubstrats und zu der ver-
30 grabenen dotierten Schicht sowie nach Bildung zu Kon-
takten, die die Kontaktlöcher auffüllen.

Figur 9 zeigt einen zu Figur 8 parallelen Schnitt durch das
Halbleitersubstrat nach Öffnung eines Kontaktloches
in der Passivierungsschicht, das ein Source/Drain-
Gebiet an der Hauptfläche und ein Source/Drain-Gebiet
35 am Grabenboden überlappt und mit einem Kontakt verse-

hen ist, der beide Source/Drain-Gebiete miteinander verbindet.

Figur 10 zeigt eine Aufsicht auf das Halbleitersubstrat nach
5 Bildung der in den Schnitten in Figur 8 und Figur 9 dargestellten Kontakte. Der in Figur 8 dargestellte Schnitt ist in Figur 10 mit VIII-VIII, der in Figur 9 dargestellte Schnitt ist in Figur 10 mit IX-IX bezeichnet.

10

Figur 11 zeigt ein Ersatzschaltbild für das anhand von Figur 8, Figur 9 und Figur 10 erläuterte logische Gatter.

Figur 12 zeigt einen Schnitt durch ein Halbleitersubstrat, das eine Siliziumscheibe, eine darauf angeordnete isolierende Schicht und eine darauf angeordnete monokristalline Siliziumschicht aufweist, in dem eine vergrabene dotierte Schicht gebildet wurde und in dem unter Verwendung einer Grabenmaske Gräben geätzt wurden.
15
20

In einem Halbleitersubstrat 1, zum Beispiel einer monokristallinen, n-dotierten Siliziumscheibe mit einer Grunddotierung von ca. 10^{15} cm^{-3} wird durch Implantation mit Bor mit
25 einer Dosis von 10^{15} cm^{-3} und einer Energie von ca. 400 keV eine vergrabene dotierte Schicht 2 gebildet. Die vergrabene dotierte Schicht 2 muß so hoch dotiert sein, daß sie als vergrabene Anschlußleitung geeignet ist.

30 Anschließend wird unter Verwendung einer Photolackmaske durch Ionenimplantation mit Bor mit einer Energie von 120 keV und einer Dosis von ca. 10^{13} cm^{-2} eine p-dotierte Wanne 3 gebildet. Die p-dotierte Wanne 3 weist eine Tiefe von zum Beispiel 0.3 μm auf. Durch eine weitere Implantation mit Bor mit einer
35 Dosis von ca. $4 \times 10^{13} \text{ cm}^{-2}$ und einer Energie von ca. 100 keV wird eine Channel-Stop-Schicht 4 gebildet, die innerhalb oder

unterhalb der p-dotierten Wanne 3 liegt. Die p-dotierte Wanne 3 grenzt an einer Hauptfläche des Halbleitersubstrats 1 an.

Durch Abscheidung einer SiO₂-Schicht in einem TEOS-Verfahren

5 in einer Dicke von zum Beispiel 50 nm bis 150 nm und anschließende Strukturierung der SiO₂-Schicht mit Hilfe photolithographischer Prozeßschritte wird eine Grabenmaske 5 gebildet (siehe Figur 1). Die Grabenmaske 5 wird als Hartmaske für eine nachfolgende Grabenätzung verwendet. In einem anisotropen Ätzverfahren zum Beispiel mit HBr/Cl₂/He wird nachfolgend die Grabenätzung durchgeführt. Dabei werden zum Beispiel zwei Gräben 6 gebildet. Die Gräben 6 reichen jeweils bis in das Halbleitersubstrat 1 unterhalb der p-dotierten Wanne 3 hinein. Sie durchqueren somit die p-Wanne 3 und die

15 Channel-Stop-Schicht 4 (siehe Figur 2). Die Gräben 6 weisen eine Tiefe von zum Beispiel 0,5 µm auf. Die Gräben 6 weisen einen rechteckigen Querschnitt mit einer Breite von ca. 0,5 µm und einer Länge von zum Beispiel 10 µm auf.

20 Nachfolgend wird durch Abscheidung einer SiO₂-Schicht in einem TEOS-Verfahren mit im wesentlichen konformer Kantenbedekkung in einer Dicke von zum Beispiel 40 nm und 80 nm und anschließendes anisotropes Rückätzen isolierende Spacer 7 an den Seitenwänden der Gräben 6 gebildet. Die isolierenden

25 Spacer 7 bedecken die freiliegende Oberfläche der p-dotierten Wanne 3 und der Channel-Stop-Schicht 4.

Anschließend wird eine Ionenimplantation zum Beispiel mit Bor bei einer Energie von zum Beispiel 25 keV und einer Dosis von

30 zum Beispiel $1,5 \times 10^{12} \text{ cm}^{-2}$ durchgeführt, die als Kanalimplantation für einen nachfolgend am Boden der Gräben 6 herzustellenden MOS-Transistor dient. Anschließend wird durch naß-chemisches Ätzen zum Beispiel mit HF die isolierenden Spacer 7 an den Seitenwänden der Gräben 6 entfernt. Gleichzeitig

35 wird die Grabenmaske 5 entfernt.

10

Nachfolgend wird eine weitere SiO_2 -Schicht in einem TEOS-Verfahren mit im wesentlichen konformer Kantenbedeckung in einer Schichtdicke von zum Beispiel 80 nm abgeschieden und anisotrop rückgeätzt. Dabei werden an den Flanken der Gräben 5 erneut isolierende Spacer 8 gebildet (siehe Figur 3). Durch thermische Oxidation wird am Boden der Gräben 6 und an der Hauptfläche ein Gatedielektrikum 9 gebildet. Das Gatedielektrikum 9 wird in einer Dicke von zum Beispiel 5 bis 10 nm gebildet.

10

Es wird ganzflächig eine leitfähige Schicht 10 abgeschieden. Die leitfähige Schicht 10 wird in einer solchen Dicke abgeschieden, daß die Gräben 6 damit aufgefüllt werden (siehe Figur 3). Bei einer Weite der Gräben 6 von beispielsweise 0,6 15 μm wird die leitfähige Schicht 10 in einer Dicke von zum Beispiel 500 nm gebildet. Für die leitfähige Schicht 10 sind alle Materialien geeignet, die zur Herstellung von Gateelektroden geeignet sind. Insbesondere wird die leitfähige Schicht 10 aus dotiertem Polysilizium mit Metallsilizid oder amorphen 20 Silizium mit Metallsilizid erzeugt. Die leitfähige Schicht wird zum Beispiel durch Abscheidung von polykristallinem oder amorphen Silizium und anschließende Dotierung durch Implantation oder Diffusion gebildet.

25 Zur Strukturierung der leitfähigen Schicht 10 wird anschließend eine Photolackmaske gebildet. Unter der Photolackmaske kann eine Antireflektionsschicht aus zum Beispiel amorphen Silizium und amorphen Siliziumnitrid aufgebracht werden. In einem ersten Ätzschritt zum Beispiel einer trockenen Ätzung 30 mit HBr/NF_3 wird die leitfähige Schicht 10 so strukturiert, daß im Bereich der Hauptfläche eine erste Gateelektrode 10₁ entsteht (siehe Figur 4). Seitlich der ersten Gateelektrode 10₁ wird die Oberfläche des Gatedielektrikums 9 an der Hauptfläche freigelegt. Das Gatedielektrikum 9 am Boden der 35 Gräben 6 bleibt dagegen von dem Material der leitfähigen Schicht 10 bedeckt (siehe Figur 5, in der der mit V-V bezeichnete Schnitt durch Figur 4 dargestellt ist). Nachfolgend

wird eine Ionenimplantation zum Beispiel mit Arsen durchgeführt, bei der an der Hauptfläche selbstjustiert zu der ersten Gateelektrode 10₁ Source/Drain-Gebiete 11 für einen ersten MOS-Transistor gebildet werden. Die Source/Drain-Gebiete 11 sind vollständig in der p-dotierten Wanne 3 oberhalb der Channel-Stop-Schicht 4 angeordnet (siehe Figur 5). Sie weisen eine Dotierstoffkonzentration von zum Beispiel 10^{20} cm^{-3} auf. Das an der Hauptfläche befindliche Gatedielektrikum 9 wirkt bei der Implantation als Streuoxid. Der Grabenboden wird bei der Implantation durch den dort befindlichen Teil der leitfähigen Schicht 10 maskiert.

Anschließend wird in einem zweiten Ätzbereich in einem Trockenätzverfahren zum Beispiel mit HBr/Cl₂/HeO₂ die leitfähige Schicht 10 weiter strukturiert, wobei die Oberfläche des Gatedielektrikums 9 am Boden der Gräben 6 teilweise freigelegt wird. Dabei wird eine zweite Gateelektrode 10₂ (siehe Figur 10) gebildet. Die erste Gateelektrode 10₁ und die zweite Gateelektrode 10₂ sind Bestandteil einer Leitung 10', die durch die Strukturierung der leitfähigen Schicht 10 im ersten Ätzschritt und im zweiten Ätzschritt gebildet wird und die quer zu dem Graben 6 verläuft (siehe Figur 4).

Nachfolgend wird eine Borosilikatglasschicht abgeschieden, aus der durch leichtes Verfließen und Rückätzen eine Diffusionsquelle gebildet wird, die nur in den Gräben 6 angeordnet ist (siehe Figur 6). In einem Hochtemperaturschritt wird durch Ausdiffusion von Bor aus der Diffusionsquelle 12 am Boden der Gräben 6 Source/Drain-Gebiete 13 für einen zweiten MOS-Transistor, der am Boden eines der Gräben 6 angeordnet ist, gebildet (siehe Figur 6).

Nach Entfernen der Diffusionsquelle 12 zum Beispiel mit CHF₃ wird eine Maske 14 aus zum Beispiel Photolack gebildet, die eine Öffnung aufweist in dem Bereich eines der Source/Drain-Gebiete 13 für den zweiten MOS-Transistor, der am Boden eines der Gräben 6 angeordnet ist und das nachfolgend mit der ver-

12

grabenen dotierten Schicht 2 elektrisch verbunden werden soll. Dazu wird eine Implantation mit p-dotierenden Ionen, zum Beispiel mit Bor bei einer Energie von 180 keV oder von 100 keV und 280 keV und einer Dosis von 10^{15} cm^{-2} durchgeführt, bei dem aus dem jeweiligen Source/Drain-Gebiet 13 ein tiefes Source/Drain-Gebiet 13' gebildet wird (siehe Figur 7). Das tiefe Source/Drain-Gebiet 13' reicht bis auf die vergrabene dotierte Schicht 2.

10 Die Channel-Stop-Schicht 4 wirkt als isolierende Schicht zwischen dem ersten MOS-Transistor und dem zweiten MOS-Transistor.

Nach Entfernen der Maske 14 mit zum Beispiel Photolackstrippen wird eine Zwischenoxidschicht 15 abgeschieden. In der Zwischenoxidschicht 15 werden Kontaktlöcher zu einem der Source/Drain-Gebiete 11 für den ersten MOS-Transistor, zu der vergrabenen dotierten Schicht 2 und zu dem anderen der Source/Drain-Gebiete 11 für den ersten MOS-Transistor und dem Source/Drain-Gebiet 13 für den zweiten MOS-Transistor geöffnet. Die Kontaktlöcher werden mit Flankenisolationen 16 zum Beispiel durch konforme Abscheidung einer SiO_2 -Schicht und Rückätzen der SiO_2 -Schicht versehen. Die Flankenisolationen 16 bewirken einerseits eine Verengung des Querschnitts des betreffenden Kontaktloches, wodurch Justierungsgenauigkeiten ausgeglichen und damit verbundene Kurzschlüsse vermieden werden, und andererseits eine Isolation der freigelegten Flanken der p-dotierten Wanne 3, der Channel-Stop-Schicht 4 und des Halbleitersubstrats 1 im Bereich des auf die vergrabene dotierte Schicht 2 reichenden Kontaktloches (siehe Figur 8 und Figur 9). Die Kontaktlöcher werden mit Kontakten versehen. Es wird ein erster Kontakt 17₁ zu einem der Source/Drain-Gebiete 11 für den ersten MOS-Transistor gebildet (siehe Figur 8). Ein zweiter Kontakt 17₂ wird zu der vergrabenen dotierten Schicht 2 gebildet. Ein dritter Kontakt 17₃ wird zu dem anderen Source/Drain-Gebiet 11 für den ersten MOS-Transistor und einem der Source/Drain-Gebiete 13 für den zweiten MOS-

13

Transistor gebildet (siehe Figur 9). Der dritte Kontakt 17₃ verbindet diese beiden Source/Drain-Gebiete 11, 13 elektrisch. Das Layout der Kontakte 17₁, 17₂, 17₃ ist in Figur 10 dargestellt. In Figur 10 sind als strichpunktierter Linien 5 VIII-VIII bzw. IX-IX die in den Figuren 8 bzw. 9 dargestellten Schnitte eingezeichnet.

In Figur 11 ist ein Ersatzschaltbild des durch den ersten MOS-Transistor und den zweiten MOS-Transistor gebildeten logischen Gatters dargestellt. Der erste Kontakt 17₁ und der zweite Kontakt 17₂ werden jeweils mit einer ersten Versorgungsspannung und einer zweiten Versorgungsspannung verbunden. Die Leitung 10', die die erste Gateelektrode 10₁ und die zweite Gateelektrode 10₂ enthält, stellt einen Eingang des 10 15 logischen Gatters dar. Der dritte Kontakt 17₃ stellt einen Ausgang des logischen Gatters dar.

Alternativ kann die CMOS-Schaltungsanordnung in einem SOI-Substrat 1' anstelle des Halbleitersubstrats 1 aus monokristallinem Silizium gebildet werden (siehe Figur 12). Das SOI-Substrat 1' umfaßt eine monokristalline Siliziumscheibe 11', auf der eine isolierende Schicht 12' zum Beispiel aus SiO₂ und eine monokristalline Siliziumschicht 13' angeordnet sind. Die monokristalline Siliziumschicht 13' wird zum Beispiel p-dotiert. Die Siliziumscheibe 11' ist zum Beispiel n-dotiert. Durch Implantation wird in der Siliziumscheibe 11' eine vergraben 25 p-dotierte Schicht 2' gebildet.

Auf die Oberfläche der monokristallinen Siliziumschicht 13' 30 wird eine Grabenmaske 4' aufgebracht. Die Grabenmaske 4' wird analog wie anhand von Figur 1 geschildert die Grabenmaske 5 gebildet.

Durch anisotropes Ätzen zum Beispiel mit HBr und CHF₃ werden 35 Gräben 5' gebildet, die bis in die Siliziumscheibe 11' hineinreichen. An den Flanken der Gräben 5' werden die Oberflächen der monokristallinen Siliziumschicht 13' und der isolie-

14

renden Schicht 12' freigelegt. Durch konforme Abscheidung und anisotropes Rückätzen einer TEOS-SiO₂-Schicht werden an den Flanken der Gräben 5' Spacer 6' gebildet. Die Struktur entspricht nun der in Figur 2 dargestellten Struktur, wobei die 5 p-dotierte monokristalline Siliziumschicht 13' die Rolle der p-dotierten Wanne 3 und die isolierende Schicht 12' die Rolle der Channel-Stop-Schicht 4 übernimmt. Die weitere Herstellung der CMOS-Schaltungsanordnung erfolgt in diesem Ausführungsbeispiel analog wie die anhand der Figuren 3 bis 11 geschilderte. In der fertigen CMOS-Schaltungsanordnung wird durch die isolierende Schicht 12' der erste MOS-Transistor gegen den zweiten MOS-Transistor dielektrisch isoliert, so daß Punch-Through-Effekte und Latch-up-Effekte wirksam unterbunden sind.

15

Es liegt im Rahmen der Erfindung, die Ausführungsbeispiele so abzuwandeln, daß am Grabenboden n-Kanal-MOS-Transistoren und an der Hauptfläche p-Kanal-MOS-Transistoren angeordnet werden.

20

Patentansprüche

1. Integrierte CMOS-Schaltungsanordnung,
- 5 - bei der in einer Hauptfläche eines Halbleitersubstrats (1) mindestens ein Graben (6) vorgesehen ist,
- 10 - bei der an der Hauptfläche ein erster MOS-Transistor und am Boden des Grabens (6) ein zweiter MOS-Transistor, der zum ersten MOS-Transistor komplementär ist, angeordnet sind,
- 15 - bei der der erste MOS-Transistor in einem von einem ersten Leitfähigkeitstyp dotierten Gebiet (3) und der zweite MOS-Transistor in einem von einem zweiten, zum ersten entgegengesetzten Leitfähigkeitstyp dotierten Gebiet (1) angeordnet ist,
- 20 - bei der der erste MOS-Transistor und der zweite MOS-Transistor so angeordnet sind, daß ein Stromfluß durch die MOS-Transistoren jeweils im wesentlichen parallel zu einer Seitenwand des Grabens erfolgt, die zwischen dem ersten MOS-Transistor und dem zweiten MOS-Transistor angeordnet ist.
- 25 2. Schaltungsanordnung nach Anspruch 1,
bei der in dem Halbleitersubstrat (1) unterhalb des ersten MOS-Transistors und oberhalb des zweiten MOS-Transistors eine vom ersten Leitfähigkeitstyp dotierte Schicht (4) angeordnet ist, die eine höhere Dotierstoffkonzentration als das vom ersten Leitfähigkeitstyp dotierte Gebiet (3) aufweist.
- 30 3. Schaltungsanordnung nach Anspruch 1,
bei der in dem Halbleitersubstrat (1') unterhalb des ersten MOS-Transistors und oberhalb des zweiten MOS-Transistors eine isolierende Schicht (12') angeordnet ist.
- 35 4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,

16

bei der eine Leitung (10') vorgesehen ist, die quer zu dem Graben (6) verläuft,

5. Verfahren nach einem der Ansprüche 1 bis 4,

5

- bei dem in dem Halbleitersubstrat (1) unterhalb des zweiten MOS-Transistors eine dotierte vergrabene Schicht (2) vorgesehen ist,

10 - bei der ein Source/Drain-Gebiet (13') des zweiten MOS-Transistors bis zu der vergrabenen Schicht (2) reicht,

- bei der ein Kontakt (17₂) zu der vergrabenen Schicht (2) vorgesehen ist.

15

6. Verfahren zur Herstellung einer integrierten CMOS-Schaltungsanordnung,

20

- bei dem in einer Hauptfläche eines Halbleitersubstrats ein Graben (6) gebildet wird,

- bei dem an der Hauptfläche des Halbleitersubstrats (1) ein erster MOS-Transistor gebildet wird,

25

- bei dem am Boden des Grabens (6) ein zweiter MOS-Transistor, der zu dem ersten MOS-Transistor komplementär ist, gebildet wird.

7. Verfahren nach Anspruch 6,

30

- bei dem ein von einem ersten Leitfähigkeitstyp dotiertes Gebiet (3) gebildet wird, das an die Hauptfläche angrenzt,

35

- bei dem ein Graben (6) gebildet wird, dessen Tiefe größer als die Tiefe des vom ersten Leitfähigkeitstyp dotierten Gebietes (3) ist,

- bei dem ein Gatedielektrikum (9) gebildet wird, das mindestens den Boden des Grabens (6) und die Hauptfläche bedeckt,

5 - bei dem eine leitfähige Schicht (10) abgeschieden wird, die den Graben (6) auffüllt,

- bei dem eine Maske gebildet wird, die eine erste Gateelektrode (10₁) für den ersten MOS-Transistor und eine zweite Gateelektrode (10₂) für den zweiten MOS-Transistor definiert,

10 - bei dem in einem ersten Ätzschritt, bei dem die leitfähige Schicht (10) im Bereich der Hauptfläche durchgeätzt wird, während der Boden des Grabens (6) von der leitfähigen Schicht (10) bedeckt bleibt, die erste Gateelektrode (10₁) gebildet wird,

15 - bei dem Source/Drain-Gebiete (11) für den ersten MOS-Transistor gebildet werden,

- bei dem in einem zweiten Ätzschritt, bei dem die leitfähige Schicht (10) auch im Bereich des Bodens des Grabens (6) durchätzt wird, die zweite Gateelektrode (10₂) gebildet wird,

20 - bei dem zur Bildung von Source/Drain-Gebieten (13) für den zweiten MOS-Transistor am Boden des Grabens (6) eine Diffusionsquelle erzeugt wird,

25 - bei dem die Source/Drain-Gebiete (13) des zweiten MOS-Transistors durch Ausdiffusion gebildet werden.

30 8. Verfahren nach Anspruch 7,

35 bei dem die Diffusionsquelle (12) durch Aufbringen, Verfließen und Rückätzen einer dotierten Silikatglasschicht gebildet wird.

9. Verfahren nach Anspruch 7 oder 8,
bei dem aus der leitfähigen Schicht (10) eine Leitung (10') gebildet wird, die die erste Gateelektrode (10₁) und die
5 zweite Gateelektrode (10₂) enthält.

10. Verfahren nach einem der Ansprüche 6 bis 9,

10 - bei dem in dem Halbleitersubstrat (1) unterhalb des zweiten MOS-Transistors eine dotierte vergrabene Schicht (2) gebildet wird,

15 - bei dem eines der Source/Drain-Gebiete (13) mit einer solchen Tiefe gebildet wird, daß es mit der vergrabenen Schicht (2) verbunden ist,

20 - bei dem ein Kontakt (17₂) zu der vergrabenen Schicht (2) gebildet wird.

20 11. Verfahren nach einem der Ansprüche 6 bis 10,

25 - bei dem der erste MOS-Transistor und der zweite MOS-Transistor so angeordnet werden, daß eines der Source/Drain-Gebiete (11) des ersten MOS-Transistors und eines der Source/Drain-Gebiete (13) des zweiten MOS-Transistors in der Projektion auf die Hauptfläche einander benachbart angeordnet sind,

30 - bei dem ein Kontakt (17₃) gebildet wird, der diese beiden Source/Drain-Gebiete (11, 13) miteinander verbindet.

35 12. Verfahren nach einem der Ansprüche 6 bis 11,
bei dem in dem Halbleitersubstrat (1) unterhalb des ersten MOS-Transistors und oberhalb des zweiten MOS-Transistors eine vom ersten Leitfähigkeitstyp dotierte Schicht (4) gebildet wird, die eine höhere Dotierstoffkonzentration als das vom ersten Leitfähigkeitstyp dotierte Gebiet (3) aufweist.

13. Verfahren nach einem der Ansprüche 6 bis 11,

- bei dem als Halbleitersubstrat ein SOI-Substrat (1') mit einer Siliziumscheibe (11'), einer darauf angeordneten isolierenden Schicht (12') und einer darauf angeordneten monokristallinen Siliziumschicht (13') verwendet wird,
5
- bei dem der Graben (5') durch die monokristalline Siliziumschicht (13') und die isolierende Schicht (12') bis in die Siliziumscheibe (11') reicht.
10

1/4

FIG 1

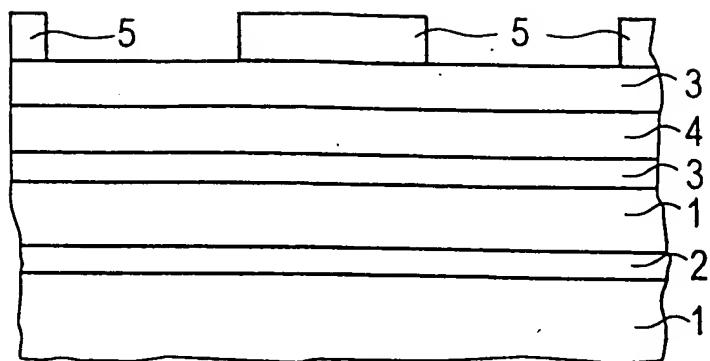


FIG 2

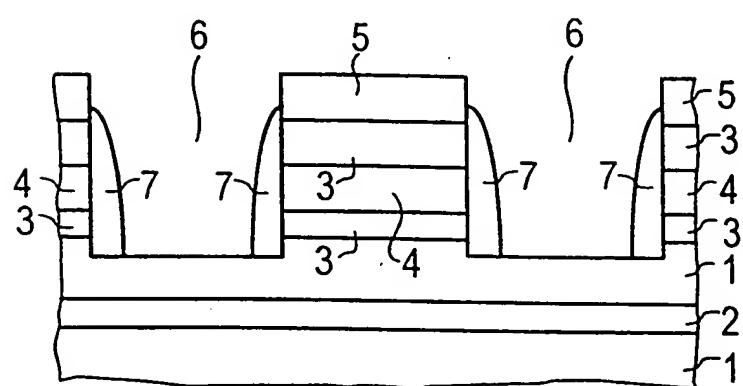
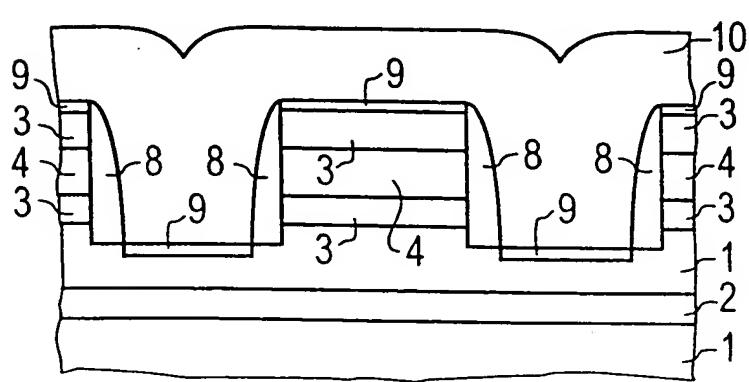


FIG 3



2/4

FIG 4

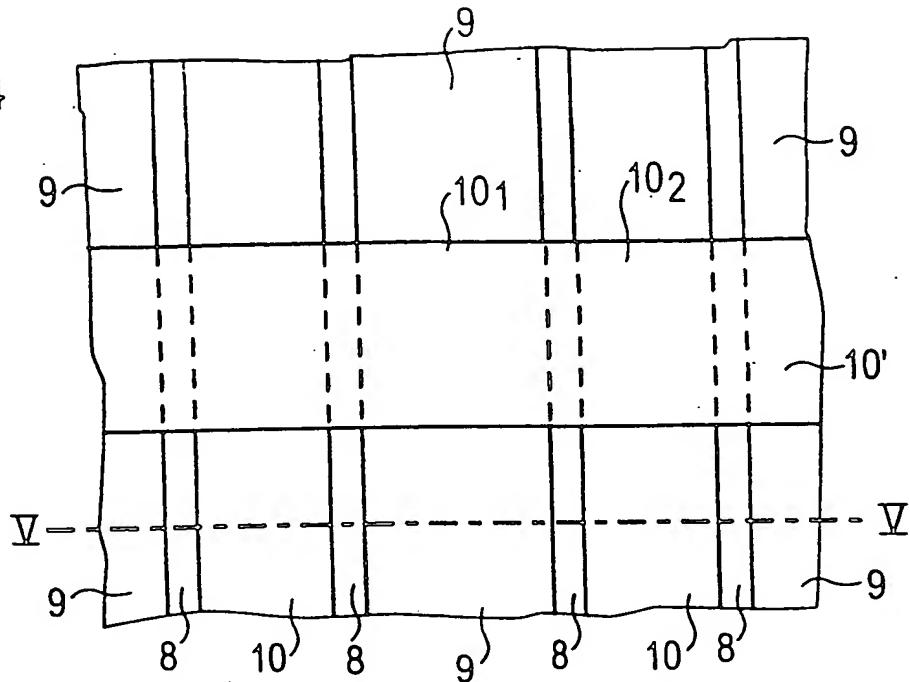


FIG 5

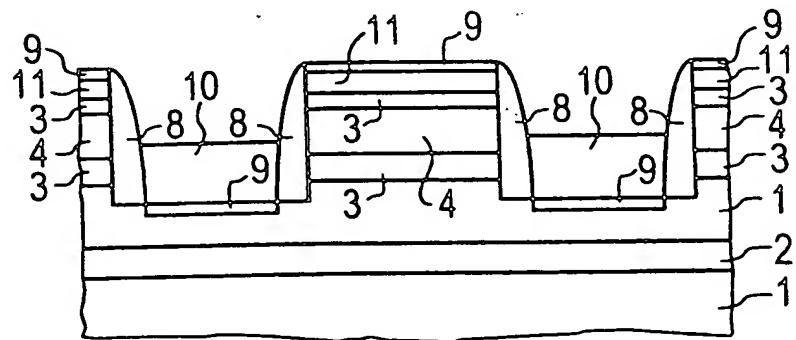
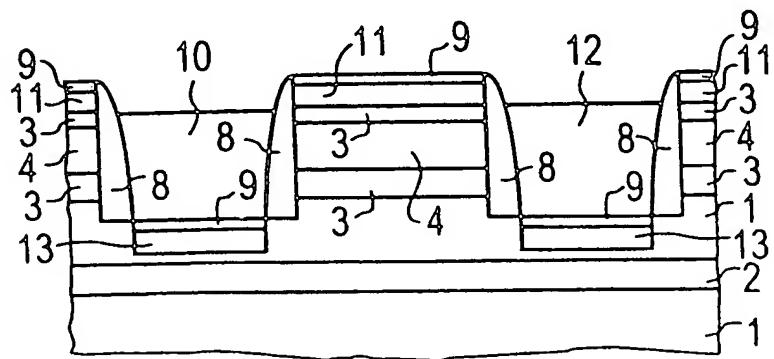


FIG 6



3/4

FIG 7

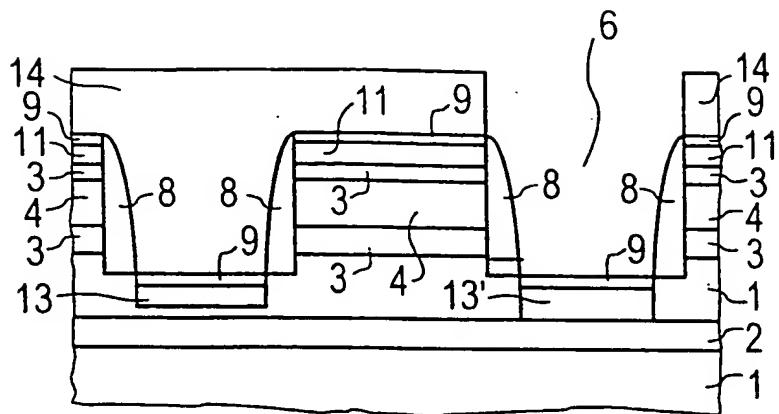


FIG 8

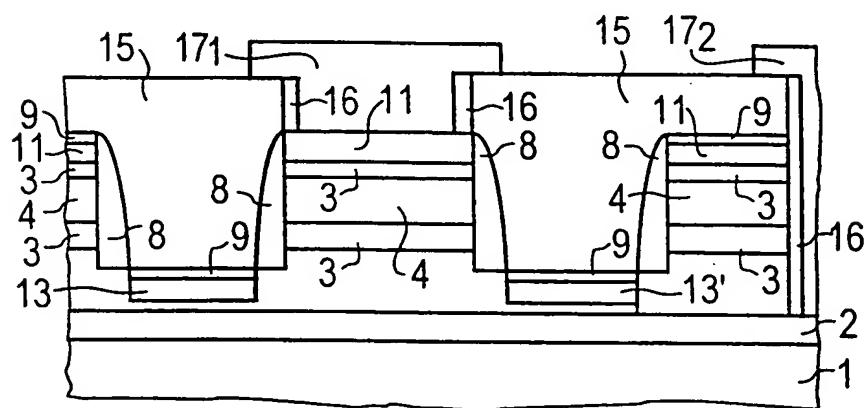


FIG 9

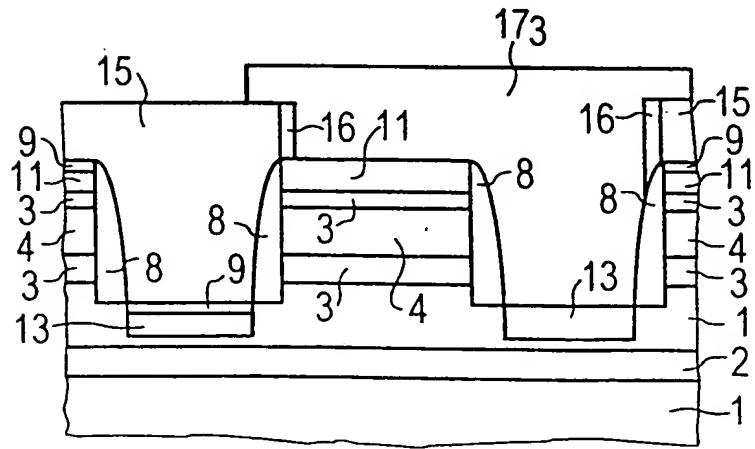


FIG 10

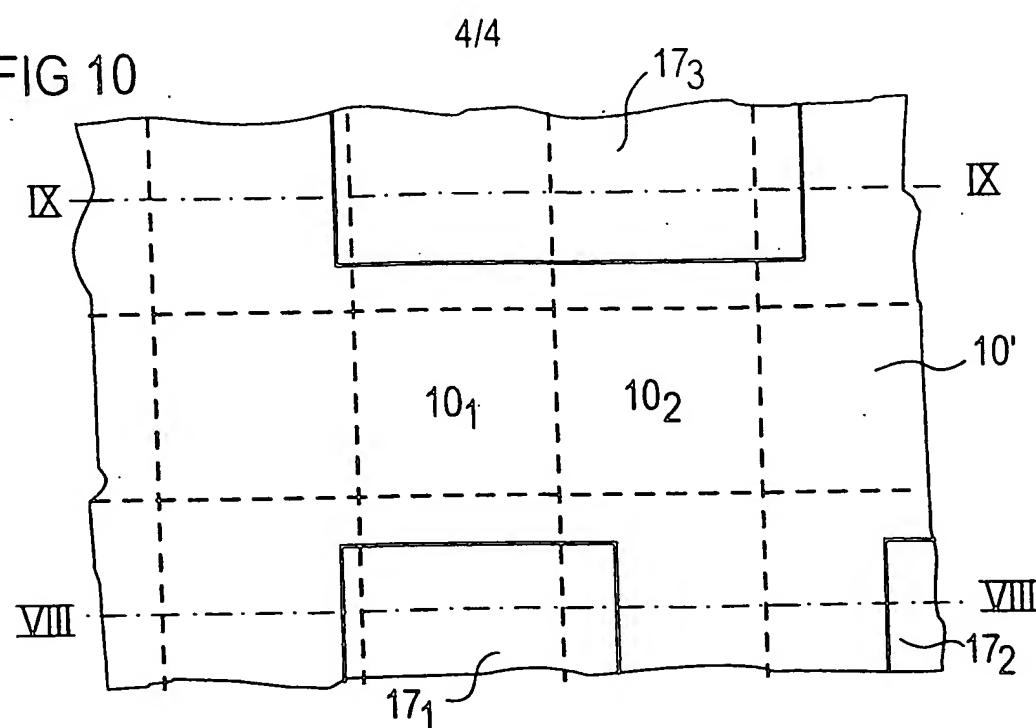


FIG 11

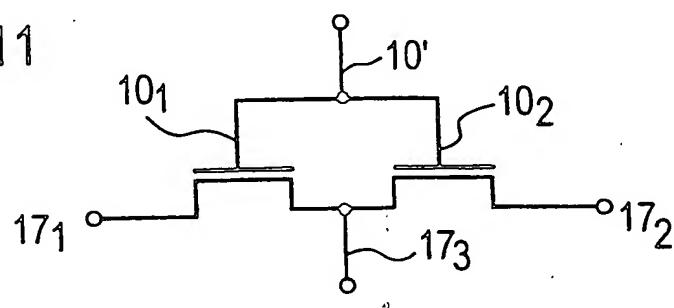
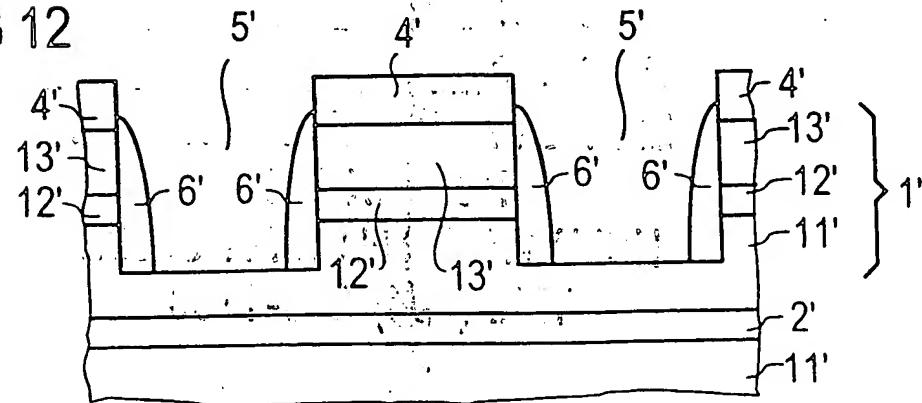


FIG 12



DOCKET NO: 1999Pa2607
SERIAL NO: _____
APPLICANT: Sabine Stedt et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100